

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-183513

(43) 公開日 平成7年(1995)7月21日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78				
21/28	3 0 1 T	8826-4M		
		7514-4M	H 0 1 L 29/ 78	3 0 1 G

審査請求 未請求 請求項の数2 O L (全 7 頁)

(21) 出願番号 特願平5-327290

(22) 出願日 平成5年(1993)12月24日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 原川 秀明

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

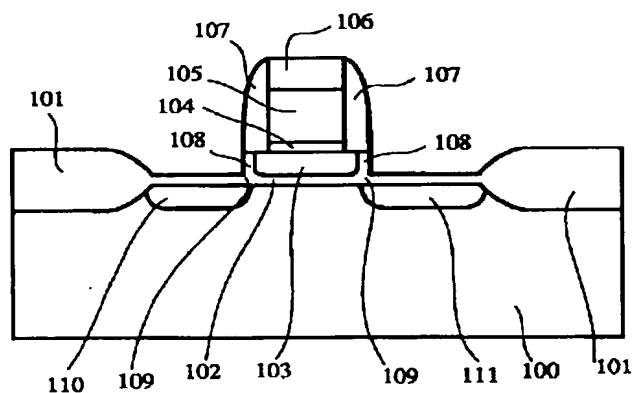
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【構成】半導体基板100上にゲート絶縁膜102を介してポリシリコン膜103を形成し、さらに高融点金属シリサイド膜105及び第1の窒化膜106を形成する工程と、これをゲート電極形状に加工した後、その側壁に第2の窒化膜107を形成し、第1の窒化膜106及び第2の窒化膜107をマスクとしてポリシリコン膜103に対しエッチングを施す工程と、これに熱処理を施すことによりポリシリコン膜103と半導体基板100との間にバズビーク109を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【効果】本発明を用いると、タングステンシリサイド等の高融点金属シリサイド膜上にのみシリコン窒化膜を形成することにより、後酸化時のタングステンシリサイド表面の酸化量が大幅に低減されるため、配線抵抗の上昇を押さえることができ、かつゲート酸化膜の信頼性の高い半導体装置を提供できる。この結果、製品歩留まりも大きく向上する。



1

【特許請求の範囲】

【請求項 1】 半導体基板上にゲート絶縁膜を介してポリシリコン膜を形成する工程と、

前記ポリシリコン膜上に高融点金属シリサイド膜を形成する工程と、

前記高融点金属シリサイド膜上に第 1 の窒化膜を形成する工程と、

前記第 1 の窒化膜及び前記高融点金属シリサイド膜に対し選択的にエッチングを施しゲート電極形状に加工する工程と、

ゲート電極形状に加工された前記第 1 の窒化膜及び前記高融点シリサイド膜の側壁に第 2 の窒化膜を形成する工程と、

前記第 1 の窒化膜及び前記第 2 の窒化膜をマスクとして前記ポリシリコン膜に対しエッチングを施す工程と、

熱処理を施すことにより前記ポリシリコン膜と前記半導体基板との間にバズビークを形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 2】 半導体基板上にゲート絶縁膜を介してポリシリコン膜を形成する工程と、

前記ポリシリコン膜上にゲート間絶縁膜を介して高融点金属シリサイド膜を少なくとも一層含む導電膜を形成する工程と、

前記導電膜上に第 1 の窒化膜を形成する工程と、

前記第 1 の窒化膜及び前記導電膜に対し選択的にエッチングを施しゲート電極形状に加工する工程と、

ゲート電極形状に加工された前記第 1 の窒化膜及び前記導電膜の側壁に第 2 の窒化膜を形成する工程と、

前記第 1 の窒化膜及び前記第 2 の窒化膜をマスクとして前記ポリシリコン膜に対しエッチングを施す工程と、

熱処理を施すことにより前記ポリシリコン膜と前記半導体基板との間にバズビークを形成する工程とを具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関する。特に、高融点シリサイド膜をゲート電極部材に用い、電気的特性の向上のために後酸化処理を施す MOS トランジスタの製造方法に関する。

【0002】

【従来の技術】 従来より、MOS トランジスタトランジスタの製造工程において、後酸化と呼ばれる、ゲート電極の加工後のゲート酸化膜の熱酸化が行われてきた。この後酸化において、ゲート電極の端部が酸化され丸みをおびる。これはバズビークと呼ばれる。このバズビークにより、ゲートに電圧を印加した際の、ゲート端部における電界集中が緩和され、ゲート端でのゲート酸化膜の信頼性が向上する。

【0003】 [図 15] に従来の MOS トランジスタの断面図を示し、その製造方法を工程順に示す。P 型シリ

2

コン基板 300 表面の素子分離領域に LOCOS 法（選択酸化法）を用いてフィールド酸化膜 301 を形成する。続いて、熱酸化によりゲート酸化膜 302 を形成した後、ポリシリコン膜 303 を堆積し、これをゲート電極形状に加工する。続いて、ポリシリコン膜 303 を熱酸化し、熱酸化膜 304 を形成すると共にゲート電極端部に丸みをおびさせ、P 型シリコン基板 300 とポリシリコン膜 303 との間にバズビーク 305 を形成する。続いて、N 型不純物を拡散させることによりソース 306 及びドレイン 307 を形成する。

【0004】 しかしながら、後酸化によりバズビークを形成する工程を用いて MOS トランジスタを形成する際、ゲート電極部材として、タングステンシリサイド膜等の高融点シリサイド膜を含む導電膜を用いたときは、以下に述べるような不都合が生じる。すなわち、ポリシリコン膜（下層）及びタングステンシリサイド膜（上層）からなるゲート電極を加工した後、熱酸化膜をゲート電極表面に形成すると、タングステンシリサイド中に含まれる余剰のシリコンが消費されてしまい、タングステン金属について酸化が起こってしまう。以下、これをふえんすると、ポリシリコン膜と高融点シリサイド膜との複合膜をゲート電極として用いると、自然酸化膜がポリシリコン膜上に形成されてしまい、この状態で、窒化膜等の側壁等を用いずに直接酸化してしまうと、下層のポリシリコン膜から上層のタングステンシリサイド膜にシリコンが移動するのを妨げる。この結果、タングステンシリサイド膜の酸化が加速化されてしまう。このため、配線抵抗が著しく増加してしまうという問題が生じていた。また、タングステンシリサイド膜の酸化量を減らすため、熱酸化時間を短く設定すると、十分にゲート電極端部にバズビークが形成されず、ゲート酸化膜の信頼性が劣化してしまう。

【0005】

【発明が解決しようとする課題】 上記したように、従来の高融点金属シリサイドゲートの MOS トランジスタの製造方法では、後酸化により、高融点金属シリサイド膜の酸化がおこり、その結果、配線抵抗が増加してしまうという問題点があった。

【0006】 本発明は、上記欠点を除去することにより、後酸化工程につき、配線抵抗を増加せしめずに、充分なバズビークを併せて形成する半導体装置の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】 上記目的を達成するために、本発明では、半導体基板上にゲート絶縁膜を介してポリシリコン膜を形成する工程と、ポリシリコン膜上に高融点金属シリサイド膜を形成する工程と、高融点金属シリサイド膜上に第 1 の窒化膜を形成する工程と、第 1 の窒化膜及び高融点金属シリサイド膜に対し選択的にエッチングを施しゲート電極形状に加工する工程と、ゲート

3

電極形状に加工された第1の窒化膜及び高融点シリサイド膜の側壁に第2の窒化膜を形成する工程と、第1の窒化膜及び第2の窒化膜をマスクとしてポリシリコン膜に対しエッチングを施す工程と、熱処理を施すことによりポリシリコン膜と半導体基板との間にバズビークを形成する工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0008】

【作用】本発明で提供する手段を用いると、ゲート形状に加工した後の後酸化工程において、高融点シリサイド膜（ゲート電極上部）の周辺部すなわち、上部及び側壁部は第1の窒化膜及び第2の窒化膜によって囲まれているため、当該高融点シリサイド膜の酸化が抑制される。しかし、ポリシリコン膜（ゲート電極下部）の側部は窒化膜で覆われていないため、後酸化工程により熱酸化され、半導体基板との間にバズビークが形成される。この結果、ゲート電極の抵抗を低下させずにゲート絶縁膜の信頼性を向上することができる。

【0009】

【実施例】本発明の各実施例を図面を参照して説明する。〔図1〕～〔図7〕は本発明の第1の実施例を工程順に示した断面図である。以下順に図面を参照して製造工程を説明する。

【0010】〔図1〕に示すように、P型の単結晶シリコン基板100上の素子分離領域に1 μ mの厚さの素子分離用酸化膜101をLOCOS法（選択酸化法）を用いて形成する。続いて、単結晶シリコン基板100上の素子分離用酸化膜101の形成されていない領域に10nmの厚さのゲート酸化膜102を熱酸化により形成する。

【0011】続いて、〔図2〕に示すように、100nmの厚さのポリシリコン膜103をLPCVD法（減圧化学的気相堆積法）を用いて形成し、その後、ポリシリコン膜103に対しイオン注入法を用いて、リンを1～5 $\times 10^{15}$ cm⁻²程度導入する。続いて、膜組成比（モル比）がW（タングステン）：Si（シリコン）＝1：2.5～3.0であるタングステンシリサイド膜105をDCマグネトロンスパッタ技術により200nm堆積する。続いて、LPCVD法を用いて第1のシリコン窒化膜106を100nm堆積する。この時、ポリシリコン膜103とタングステンシリサイド膜105との間に、自然酸化膜104が存在してしまう。

【0012】続いて、図示しないレジストをシリコン窒化膜106上に形成し、リソグラフィ技術を用いることにより0.3 μ m幅のレジストパターンを形成する。このレジストパターンをマスクとして、〔図3〕に示すように、エッチング加工を施す。すなわち、RIE（反応性イオンエッチング）を用いてシリコン窒化膜106及びタングステンシリサイド膜105をゲート電極形状に加工し、レジストを除去する。この時、自然酸化膜10

4

4は同時にエッチング除去される。このようにして、ゲート電極の上部が形成された。

【0013】続いて、全面に、LPCVD法を用いて、100nmの膜厚の第2のシリコン窒化膜107を堆積し、RIE技術を用いて、この第2のシリコン窒化膜107を100nmエッチバックする。この結果、〔図4〕に示すように、ゲート電極上部（タングステンシリサイド膜105及び第1のシリコン窒化膜106）側壁部に第2のシリコン窒化膜107が残存する。

【0014】続いて、〔図5〕に示すように、第1のシリコン窒化膜106と第2のシリコン窒化膜107をマスクとして、RIEを施し、ポリシリコン膜103をエッチング加工することにより下部のゲート電極を形成する。

【0015】続いて、通常、後酸化と呼ばれる熱処理を施す。このような熱酸化を施すことにより、〔図6〕に示すように、ポリシリコン膜103の側壁が丸み108を帯び、シリコン基板100とポリシリコン膜103との間にはバズビーク109が形成される。

【0016】続いて、〔図7〕に示すように、イオン注入によりN型ソース領域110及びN型ドレイン領域111を形成する。続いて、図示しない層間絶縁膜及び金属配線層等を形成する。

【0017】以上説明したように、本発明の製造工程を用いると、ゲート形状に加工した後の後酸化工程において、高融点シリサイド膜（ゲート電極上部）の周辺部すなわち、上部及び側壁部は第1の窒化膜及び第2の窒化膜によって囲まれているため、当該高融点シリサイド膜の酸化が抑制される。しかし、ポリシリコン膜（ゲート電極下部）の側部は窒化膜で覆われていないため、後酸化工程により熱酸化され、半導体基板との間にバズビークが形成される。この結果、ゲート電極の抵抗を低下させずにゲート絶縁膜の信頼性を向上することができる。

【0018】なお、通常、ポリシリコン膜と高融点シリサイド膜との複合膜をゲート電極として用いると、自然酸化膜がポリシリコン膜上に形成されてしまう。この状態で、窒化膜等の側壁等を用いずに直接酸化してしまうと、自然酸化膜が下層のポリシリコン膜から上層のタングステンシリサイド膜にシリコンが移動するのを妨げ、当該タングステンシリサイド膜の酸化が加速化されていた。しかし、本実施例では、自然酸化膜が形成され、シリコンの移動が抑圧されても、上部ゲート電極が窒化膜に覆われているため、問題が生じない。なお、自然酸化膜はゲート電極形成後の熱処理によって破壊される。

【0019】以上、本発明の第1の実施例を説明した。本発明は、タングステンシリサイド膜上に直接シリコン窒化膜を被覆しているが、この間に別種部材からなる層が形成されていてもよく、また、タングステンシリサイド膜の表面の一部をシリコン窒化膜で覆っても効果があ

5

る。特に、後者はタングステンシリサイド膜中のシリコンの量と、酸化で消費されるシリコンの量とのバランスの問題である。

【0020】続いて、本発明の第2の実施例を説明する。〔図8〕～〔図14〕は本発明の第2の実施例を工程順に示した断面図である。以下順に図面を参照して製造工程を説明する。

【0021】〔図8〕に示すように、P型の単結晶シリコン基板200上の素子分離領域に1 μ mの厚さの素子分離用酸化膜201をLOCOS法を用いて形成する。

続いて、単結晶シリコン基板200上の素子分離用酸化膜201の形成されていない領域に10nmの厚さのゲート酸化膜202を熱酸化により形成する。

【0022】続いて、〔図9〕に示すように、100nmの厚さのポリシリコン膜203をLPCVD法を用いて形成し、当該ポリシリコン膜203に対しイオン注入法を用いて、N型不純物であるリンを注入する。続いて、ポリシリコン膜203に熱酸化を施すことにより10nmの熱酸化膜221を形成し、これに引き続きLPCVD法により、厚さ15nmのシリコン窒化膜222を形成し、続いて熱酸化により当該シリコン窒化膜上に6nmの熱酸化膜223を形成することにより、ONO構造（酸化膜、窒化膜、酸化膜の複合膜）のゲート間絶縁膜204を形成する。続いて、膜組成比（モル比）がW（タングステン）：Si（シリコン）＝1：2.5～3.0であるタングステンシリサイド膜205をDCマグネトロンスパッタ技術により200nm堆積する。続いて、LPCVD法を用いて第1のシリコン窒化膜206を100nm堆積する。

【0023】続いて、図示しないレジストを第1のシリコン窒化膜206上に形成し、リソグラフィ技術を用いることにより0.3 μ m幅のレジストパターンを形成する。このレジストパターンをマスクとして、〔図10〕に示すように、エッチング加工を施す。すなわち、RIEを用いてシリコン窒化膜206及びタングステンシリサイド膜205をゲート電極形状に加工し、併せてゲート間絶縁膜204をエッチング除去し続けてレジストを除去する。このようにして、制御ゲート電極が形成された。

【0024】続いて、全面に、LPCVD法を用いて、100nmの膜厚の第2のシリコン窒化膜207を堆積し、RIE技術を用いて、この第2のシリコン窒化膜207を100nmエッチバックする。この結果、〔図11〕に示すように、制御ゲート電極側壁部に第2のシリコン窒化膜207が残存する。

【0025】続いて、〔図12〕に示すように、第1のシリコン窒化膜206と第2のシリコン窒化膜207をマスクとして、RIEを施し、ポリシリコン膜203をエッチング加工することにより浮遊ゲートを形成する。

【0026】続いて、通常、後酸化と呼ばれる熱処理を

6

施す。このような熱酸化を施すことにより、〔図13〕に示すように、ポリシリコン膜203すなわち浮遊ゲートの側壁が丸み208を帯び、シリコン基板200とポリシリコン膜203との間にはバズピーク209が形成される。

【0027】続いて、〔図14〕に示すように、イオン注入によりN型ソース領域210及びN型ドレイン領域211を形成する。続いて、図示しない層間絶縁膜及び金属配線（ビット線）層等を形成する。

【0028】以上説明したように、本発明の第2の実施例の製造工程を用いると、ゲート形状に加工した後の後酸化工程において、高融点金属シリサイド膜（制御ゲート）の周辺部すなわち、上部及び側壁部は第1の窒化膜及び第2の窒化膜によって囲まれているため、当該高融点シリサイド膜の酸化が抑制される。しかし、ポリシリコン膜（浮遊ゲート）の側部は窒化膜で覆われていないため、後酸化工程により熱酸化され、半導体基板との間にバズピークが形成される。この結果、ゲート電極の抵抗を低下させずにゲート絶縁膜の信頼性を向上することができる。

【0029】また、第2の実施例で説明した浮遊ゲートを有するMOSトランジスタにおいては、浮遊ゲートと半導体基板との間のバズピークはデータ保持特性の向上にも寄与する。すなわち、浮遊ゲートに蓄積した電荷がゲート酸化膜を介してトンネル電流によって外部（特にドレイン）に放出するのを防ぐことができる。また、制御ゲート電極が高融点金属シリサイド膜であることより、読出速度の向上にも寄与する。従ってね第2の実施例に示した製造工程を用いると、高速かつデータ保持特性の良い不揮発性半導体記憶装置を提供できる。

【0030】以上、本発明の第2の実施例を説明した。本発明は、第1の実施例と同様、タングステンシリサイド膜上に直接シリコン窒化膜を被覆しているが、この間に別種部材からなる層が形成されていてもよく、また、タングステンシリサイド膜の表面の一部をシリコン窒化膜で覆っても効果がある。特に、後者はタングステンシリサイド膜中のシリコンの量と、酸化で消費されるシリコンの量とのバランスの問題である。

【0031】なお、第1及び第2の実施例では、高融点金属シリサイド膜としてタングステンシリサイド膜を用いる例を説明したが、これに限ることはなく、モリブデンシリサイド膜、チタンシリサイド膜等の他種の高融点金属シリサイド膜を用いることも可能である。

【0032】

【発明の効果】本発明を用いると、タングステンシリサイド等の高融点金属シリサイド膜上にみにシリコン窒化膜を形成することにより、後酸化時のタングステンシリサイド表面の酸化量が大幅に低減されるため、配線抵抗の上昇を押さえることができ、かつゲート酸化膜の信頼性の高い半導体装置を提供できる。この結果、製品歩留

7

まりも大きく向上する。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例を工程順に示した断面図。

【図 2】本発明の第 1 の実施例を工程順に示した断面図。

【図 3】本発明の第 1 の実施例を工程順に示した断面図。

【図 4】本発明の第 1 の実施例を工程順に示した断面図。

【図 5】本発明の第 1 の実施例を工程順に示した断面図。

【図 6】本発明の第 1 の実施例を工程順に示した断面図。

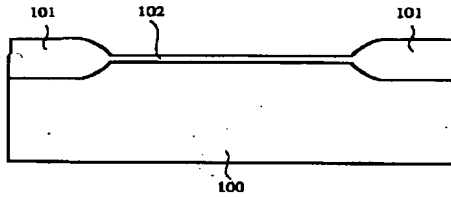
【図 7】本発明の第 1 の実施例を工程順に示した断面図。

【図 8】本発明の第 2 の実施例を工程順に示した断面図。

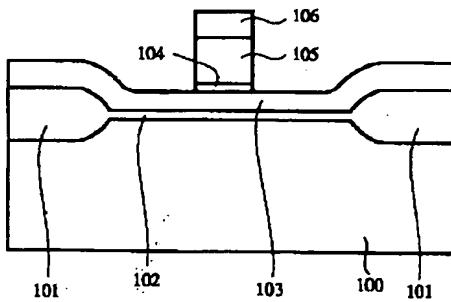
【図 9】本発明の第 2 の実施例を工程順に示した断面図。

【図 10】本発明の第 2 の実施例を工程順に示した断面図。

【図 1】



【図 3】



8

* 【図 1 1】本発明の第 2 の実施例を工程順に示した断面図。

【図 1 2】本発明の第 2 の実施例を工程順に示した断面図。

【図 1 3】本発明の第 2 の実施例を工程順に示した断面図。

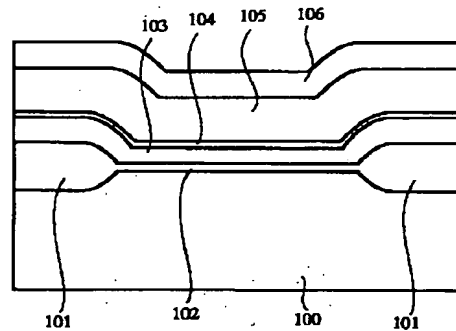
【図 1 4】本発明の第 2 の実施例を工程順に示した断面図。

【図 1 5】従来の半導体装置を示した断面図。

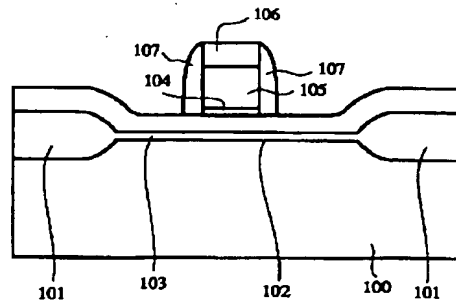
【符号の説明】

100	シリコン基板
101	素子分離用絶縁膜
103	ポリシリコン膜
104	自然酸化膜
105	タングステンシリサイド膜
106	シリコン窒化膜
107	シリコン窒化膜
108	ポリシリコン膜側壁の丸み
109	バースピーク
110	ソース
111	ドレイン

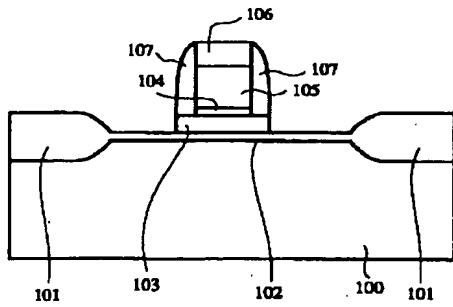
【図 2】



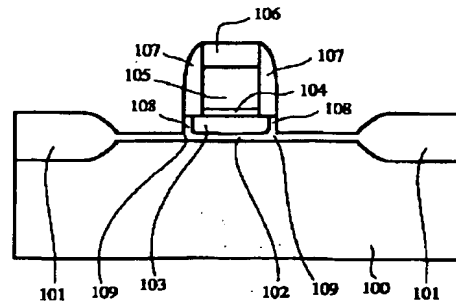
【図 4】



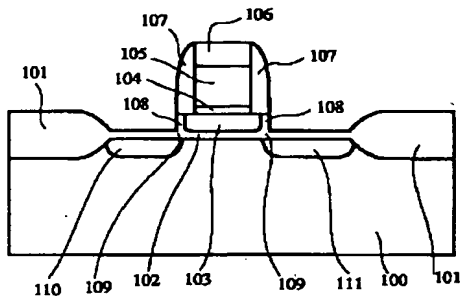
【図 5】



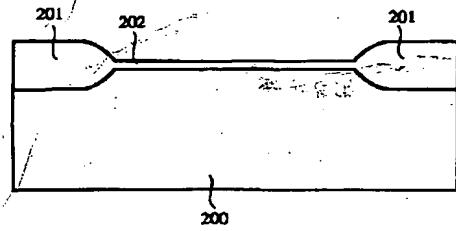
【図 6】



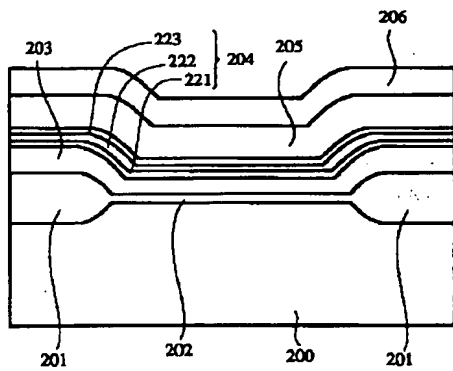
【図 7】



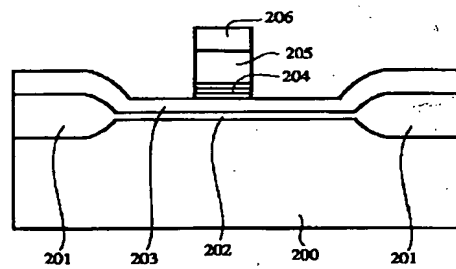
【図 8】



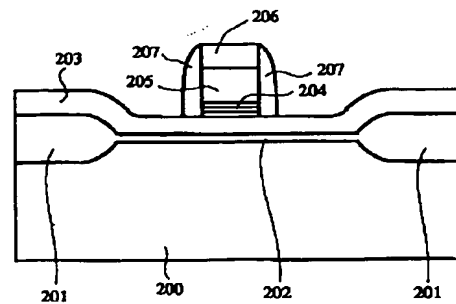
【図 9】



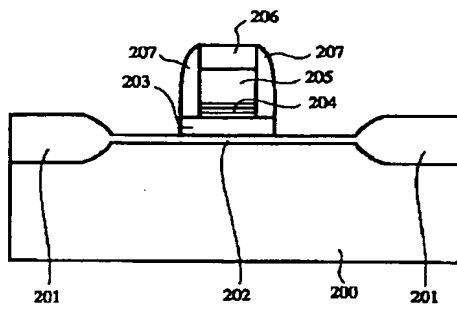
【図 10】



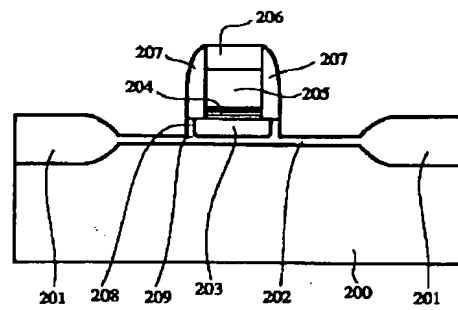
【図 11】



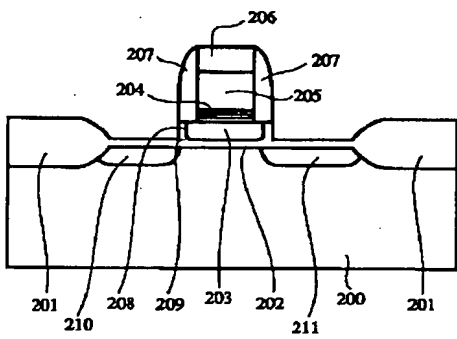
【図 12】



【図 13】



【図 14】



【図 15】

